

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 23/14

(11) 공개번호 특2002-0090917  
(43) 공개일자 2002년12월05일

(21) 출원번호 10-2002-0029677  
(22) 출원일자 2002년05월28일  
(30) 우선권 주장 JP-P-2001-00159731 2001년05월28일 일본(JP)  
(71) 출원인 샤프 가부시카가이샤  
일본 오사까후 오사까시 아베노구 나가이쵸 22방 22고  
(72) 발명자 도마요시히사  
일본 나라켄 나라시 미나미나카미쵸 48-202  
다마카가즈오  
(74) 대리인 일본교토정 소라쿠공기쵸구 니미다이 4-4-2-202  
장수필, 구영철

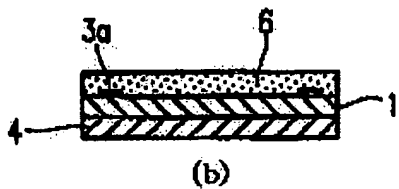
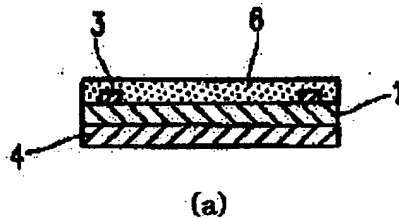
심사청구 : 있음

(54) 반도체 패키지 및 그 제조 방법

요약

반도체 패키지는, 표면에 형성되는 회로층을 가지고 0.5 내지 100  $\mu\text{m}$ 의 두께를 가지는 반도체 칩과, 회로가 제공되는 반도체 칩의 표면을 덮기 위해 제공되는 접착 수지층을 포함한다.

도면



색인어

반도체 패키지, 접착 수지층, 보강용 부재, 플렉시블 회로 기판, 웨이퍼, 스크라이브 라인

참고문헌

도면의 간단한 설명

- 도 1a 및 도 1b는 제1 실시예에 따른 반도체 패키지의 구조를 도시한 단면도.  
 도 2a 내지 도 2e는 제1 실시예에 따른 반도체 패키지의 제조 공정을 도시한 단면도.  
 도 3a 및 도 3b는 제1 실시예에 따른 반도체 패키지를 플렉시블 회로 기판 상에 장착시키는 단계를 도시한 단면도.  
 도 4a 내지 도 4c는 제2 실시예에 따른 반도체 패키지의 생산 공정을 도시한 단면도.  
 도 5는 플렉시블 회로 기판 상에 장착되어 굽혀진 제2 실시예에 따른 반도체 패키지를 도시한 단면도.  
 도 6a 및 도 6b는 종래의 반도체 패키지의 구조를 도시한 도면.  
 도 6c는 종래의 반도체 패키지의 구조를 도시한 사시도.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 반도체 칩  
 1a : 웨이퍼  
 2 : 이면 연삭용 접착 시트  
 3 : 절기 전극  
 4 : 보강용 부재  
 5 : 다이싱용 접착 시트  
 6 : 접착 수지층  
 7 : 다이싱 블레이드

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 만약 가능한 플렉시블 회로 기판에 용이하게 실장할 수 있는 반도체 패키지 및 그 제조 방법에 관한 것이다.

최근의 전자 기기가 경량화, 박형화 및 소형화됨에 따라 이러한 전자 기기 상에 탑재되는 반도체 장치에 대한 소형화 및 경량화의 요구가 증가하고 있다. 이러한 요구를 만족시키기 위하여, BGA(Ball Grid Array) 타입 또는 CSP(Chip Scale Package) 타입과 같이 소형화된 반도체 패키지가 널리 이용되고 있다. 여기서 사용될 때, 반도체 패키지는 다이오드 및 트랜지스터 등의 능동 소자, 전극 및 배선 등의 회로가 표면에 형성된 반도체 칩에 그 표면을 수지로 몰드하거나 수지층으로 덮은 것을 칭한다.

도 6a는 종래의 QFP(Quad Flat Package) 타입의 반도체 패키지의 일례를 나타내는 단면도이다. 이러한 반도체 패키지에서, 반도체 칩(22)은 다이 본드 접착제(25)가 사이에 끼워진 다이 패드(30) 상에 탑재되어 있다. 다이 패드(30)와 패키지 리드(27)는 리드 프레임의 일부를 형성한다. 패키지 리드(27)는 회로가 형성된 반도체 칩(22)의 표면 상에 설치된 전극(도시하지 않음)에 와이어(23)를 통해 접속되어 있다. 반도체 칩(22), 다이 패드(30) 및 패키지 리드(27)가 수지(21)에 의해 몰드되어 있다. 이 QFP 타입의 반도체 패키지를 회로 기판에 실장하는 경우, 외부 접속 단자인 패키지 리드(27)가 회로 기판에 납땜함으로써 반도체 패키지와 회로 기판과가 전기적으로 접속된다.

도 6b는 종래의 CSP(또는 BGA) 타입의 반도체 패키지의 일례를 나타내는 도면이다. 이 반도체 패키지에 있어서, 반도체 칩(22)은 접착 필름(25) 또는 페이스트 형상의 다이 본드 접착제(25)를 이용하여 회로 패턴(26) 상에 접속되어 있다. 회로 패턴(26)은 인터포저 기판(28) 상에 형성되고 회로가 형성된 반도체 칩(22)의 표면에 설치된 전극(도시하지 않음)에 와이어(23)를 통해 접속되어 있다. 또한, 회로 패턴은 인터포저 기판(28)에 설치된 관통 구멍(29)을 통하여 뱃볼(24)에 접속되어 있다. 반도체 칩(22) 및 와이어(23)를 보호하기 위하여, 반도체 칩(22)이 탑재된 인터포저 기판(28)의 표면에 수지(21)에 의해 몰드되어 있다. 이 CSP 타입의 반도체 패키지를 회로 기판에 실장하는 경우, 뱃볼(24)을 용융하여 회로 기판에 납땜함으로써 반도체 패키지와 회로 기판과가 전기적으로 접속된다. 반도체 패키지의 크기가 반도체 칩의 크기보다 약간 크지만, 이 CSP 타입의 반도체 패키지는 종래의 QFP 타입의 반도체 패키지 보다 훨씬 소형화 및 경량화된다.

더욱 소형화가 가능한 반도체 패키지가 일본 특허 공보 제61-50344호에 개시되어 있다. 도 6(c)에 도시한 바와 같이, 이러한 반도체 패키지는 작은 크기의 도전성 접착 수지층(32) 및 반도체 칩(22)을 포함하고, 도전성 접착 수지(32)는 전극(31)이 설치된 반도체 칩(22)의 표면에 설치된다.

##### 발명이 이루고자 하는 기술적 과제

최근, 전자 기기의 소형화에 따라, 회로 기판의 두께가 감소되고 있다. 소형 휴대 기기 내부의 작고 복잡한 형상의 공간에 부품을 고밀도에 실장하기 위해서, 자유롭게 만족시키는 것이 가능한 플렉시블 회로 기판(Flexible Printed Circuit(FPC))이 널리 이용되고 있다. 전자 기기를 형성하는 하우징에 직접 회로를 패턴하여 소형화 및 경량화를 도모하는 방법도 제안되어 있다.

이러한 상황에서, 상술한 종래의 반도체 패키지에서는 이하와 같은 문제가 있다. 박형 기판이나 플렉시

본 회로 기판이 소형 휴대 기기 내부에서 복잡한 형상으로 구부리는(변형시키는) 것이 가능할 지라도, 반도체 패키지는 경질이고 구부릴 수 없다. 따라서, 자유롭게 만곡 가능한 플렉시블 회로 기판 상에 변형시킬 수 없는 반도체 패키지가 탑재되면, 소형 휴대 기기 내부의 작고 복잡한 형상의 공간에 회로 기판을 수용하는 것이 곤란하게 된다. 또한, 하우징의 만곡면에 형성된 회로 상에 경질의 만곡시킬 수 없는 반도체 패키지를 탑재하는 것은 어렵다.

상기의 문제는 특히 대형의 반도체 패키지를 실장한 회로 기판을 소형의 휴대 기기에 수용할 때 문제가 된다. 대형의 반도체 패키지는, 전자 기기에 탑재되는 회로 규모 및 메모리 용량의 사이즈 증대에 따라 대형화된 반도체 칩을 수납하는 큰 사이즈의 반도체 패키지, 또는 복수의 반도체 칩을 하나의 패키지 내에 수용하는 멀티칩 패키지 중의 하나일 수 있다. 즉, 반도체 패키지를 회로 기판에 탑재하는 것은 플렉시블 회로 기판의 변형 및 만곡 특성에 영향을 준다. 그러므로, 반도체 패키지를 탑재한 회로 기판을, 자유롭게 변형되고 만곡할 수 있는 플렉시블 회로 기판의 특성을 이용함으로써 소형의 휴대 기기에 수용할 수 없게 된다. 따라서, 종래의 반도체 패키지로는 고밀도 실장을 실현하여, 기기의 소형화를 구현하는 것을 못하게 할 수 있다.

또한, 휴대 기기가 점점 소형화되고, 휴대용 기기에 포함된 전자 부품들이 고주파화됨에 따라, 반도체 칩을 포함하는 전자 부품 사이의 동작 중의 상호 간섭, 전자파 장애 및 전자파 노이즈 등의 문제가 심각화하고 있다. 특히, 반도체 패키지의 박형화에 의해서, 전자파 노이즈의 영향을 받기 쉽게 된다. 따라서, 소형화된 휴대 기기로서는 심각한 문제가 발생한다.

#### 본 발명의 구성 및 작용

본 발명의 일 특징에 따라, 기판 상에 형성된 회로를 가진 두께 0.5mm 이상과 100mm 이하의 반도체 칩, 및 회로들이 제공된 반도체 칩의 표면을 커버하도록 형성된 접착 수지층을 포함하는 반도체 패키지가 제공된다.

본 발명의 일 실시예에 있어서, 반도체 칩의 회로 형성면과 반대측의 면에 보강용 부재가 제공된다.

본 발명의 일 실시예에 있어서, 접착 수지층은 이방성 도전을 갖는 재료를 포함한다.

본 발명의 일 실시예에 있어서, 보강용 부재는 폴리이미드계 수지 또는 폴리실리콘 바니시(varnish)를 포함한다.

본 발명의 일 실시예에 있어서, 반도체 칩의 회로 형성면의 표면 상에 형성된 전극 상에 돌기 전극이 형성되어 있다.

본 발명의 일 실시예에 있어서, 상기 접착 수지층 및 상기 보강용 부재 중의 적어도 하나는, 전자기파 차폐 특성을 갖는 고형 물질을 포함한다.

본 발명의 일 실시예에 있어서, 전자기파 차폐 특성을 갖는 고형 물질은 페라이트를 포함한다.

본 발명의 다른 특징에 따라, 다수의 반도체 칩을 구비하고, 표면에 회로가 형성된 웨이퍼의 이면을 연마하여 두께를 0.5 - 100mm로 형성하는 단계와, 웨이퍼의 이면에 보강용 부재를 형성하는 단계와, 웨이퍼의 표면에 접착 수지층을 형성하는 단계와, 웨이퍼를 다이싱하여 반도체 패키지로 분할하는 단계를 포함하는 반도체 패키지의 제조 방법이 제공된다.

본 발명의 또 다른 특징에 따라, 다수의 반도체 칩을 포함하고, 표면에 회로가 형성된 웨이퍼의 표면에 접착 수지층을 형성하는 단계와, 웨이퍼의 이면을 연마하여 두께를 0.5 - 100mm로 형성하는 단계와, 웨이퍼의 이면에 보강용 부재를 형성하는 단계와, 웨이퍼를 다이싱하여 반도체 패키지로 분할하는 단계를 포함하는 반도체 패키지의 제조 방법이 제공된다.

본 발명의 일 실시예로서, 상기 접착 수지층으로서 이방성 도전을 갖는 재료가 이용된다.

본 발명의 일 실시예에서, 접착 수지층을 형성하는 단계는 상기 웨이퍼의 주연부의 스크라이브 라인(scribe line)을 노출시키기 위해 웨이퍼의 주연부를 커버하지 않도록 접착 수지층을 형성하는 단계를 포함한다.

본 발명의 작용을 이하에 설명한다.

본 발명의 일 실시예에 따라, 상기 반도체 칩은 0.5 내지 100 mm의 두께를 갖고, 접착 수지층은 회로가 형성된 반도체 칩의 표면 상에 형성된다. 따라서, 상기 반도체 칩은 자유롭게 굽혀질 수 있다. 따라서, 상기 반도체 칩은 자유롭게 굽혀질 수 있는 플렉시블 회로 기판의 주연부에 영향을 주지 않고, 작은 휴대용 장치 내측의 작고 복잡한 형상의 공간에 수용될 수 있다. 또한, 전자 장치를 형성하는 하우징의 굽어진 기판 또는 굽어진 표면 상에 반도체 패키지를 장착시킬 수 있다.

일반적으로, 약 200 내지 400 mm의 두께를 갖는 반도체 칩이 사용된다. 본 발명의 일 실시예에 따라, 반도체 칩의 두께는 100 mm 이하로 감소되어 상기 반도체 칩은 가요적이고, 굽힘 응력에 내성을 갖는다. 상기 반도체 칩을 형성하는 확산층의 두께는 약 0.2 mm이기 때문에, 충분한 전기적 특성을 얻기 위해서는 반도체 칩의 두께는 0.5 mm 이상이어야 한다.

반도체 패키지와 같은 전극은 플렉시블 회로 기판의 전극과 정렬된다. 상기 반도체 패키지의 전극 및 플렉시블 회로 기판의 전극은 가압되어 접착 수지층이 경화된다. 따라서, 상기 반도체 패키지를 실장할 수 있다.

접착 수지층에 대해, 반도체 칩의 전극과 상기 회로 기판의 전극을 가압하여 가열하거나 또는 이방성 접착 수지를 사용함으로써 접속시킬 수 있는 열경화성 접착 수지 또는 열가소성 접착 수지가 사용된다. 만곡 기판 또는 전자 장치를 형성하는 하우징의 만곡면에 일치될 수 있는 본딩 물이 사용된다. 따라서, 반도체 칩의 전극과 회로 기판의 전극은 반도체 칩을 굽힘으로써 용이하게 접속될 수 있다. 특히, 도전성

입자를 포함하는 이방성 접착 수지가 사용될 때, 접속부의 도전성에 대한 신뢰성은 향상된다.

반도체 칩의 두께를 감소시킴으로써, 크랙(crack)과 같은 반도체 칩에서의 손상은 보다 많이 발생될 수 있다. 따라서, 회로가 형성된 표면에 대항하는 반도체 칩의 표면(이면) 상에 보강용 부재를 형성하는 것이 바람직하다. 통상적으로, 반도체 칩의 이면 상에는 연마함으로써 생성된 스크래치(scratch)가 있다. 이러한 스크래치를 메움으로써, 반도체 칩은 굽혀질 때 크랙의 형성에 보다 내성을 가질 수 있다. 따라서, 반도체 칩은 손상 받지 않으면서 굽혀질 수 있다. 특히, 반도체 칩의 굽힘에 영향을 끼치지 않으면서 반도체 칩의 이면을 보호하기 위해, 폴리이미드 수지, 폴리실리콘 바니시 등이 사용될 수 있다. 이면을 연마한 후 웨트 에칭으로 스크래치를 갖는 부분을 제거하는 것이 더욱 바람직하다.

반도체 칩의 표면 상에 형성된 전극 상에 돌기 전극을 형성함으로써, 전극은 기판의 전극(예로써, 플렉시블 회로 기판)에 용이하면서 견고하게 접속될 수 있다. 돌기 전극이 반도체 칩 상에 구비되지 않은 경우, 돌기 전극은 기판 상에 형성될 수 있다.

또한, 적어도 하나의 접착 수지층 및 보강용 부재는 페라이트(ferrite)와 같은 전자기파 차폐 특성을 갖는 금속 재료를 포함한다. 따라서, 반도체 칩으로부터 반도체 칩의 외측으로의 전자기파 노이즈 및 반도체 칩의 외부로부터 반도체 칩으로의 전자기파 노이즈는 효과적으로 제거될 수 있다.

상기 웨이퍼 상에 접착 수지층을 형성하는 단계에서, 접착 수지층은 상기 웨이퍼의 주변부를 커버하지 않도록 형성된다. 따라서, 상기 웨이퍼의 주변부 상의 스크라이브 라인은 볼 수 있고, 이후 공정에서 다시 상하기 위한 정렬 수단을 제공한다.

따라서, 본 명세서에서 설명된 발명은 (1) 굽혀질 수 있고, 자유롭게 굽혀질 수 있는 플렉시블 회로 기판의 주변부에는 영향을 끼치지 않고, 만곡된 상에 용이하게 장착될 수 있는 반도체 패키지와 그 제조 방법을 제공할 수 있다는 이점과, (2) 반도체 칩의 외측으로부터 반도체 칩으로의 노이즈와 반도체 칩으로부터 반도체 칩의 외측으로의 노이즈를 전자기파로부터 반도체 패키지를 차폐함으로써 차폐할 수 있는 반도체 패키지와 그 제조 방법을 제공할 수 있다는 이점이 있다.

본 발명에 따른 이러한 및 다른 이점들은 첨부 도면을 참조하여 이하에 설명하는 상세한 설명으로부터 이 기술분야의 숙련자들은 명백하게 이해할 수 있다.

이하에서는, 본 발명의 실시예를 도면을 참조하여 설명한다.

#### <실시예>

##### (제1 실시예)

도 1a는 본 발명의 일 실시예에 따른 반도체 패키지의 구조를 도시한 단면도이다. 상기 반도체 패키지는 반도체 칩(1)을 포함한다. 반도체 칩(1)의 표면 상에는 전극과 같은 회로 소자 및 능동 소자(도시 생략)가 구비된다. 반도체 칩(1)의 두께는 반도체 패키지가 플렉시블 회로 기판 상에 형성된 회로 상에 장착되거나 또는 전자 장치의 하우징 상에 장착될 때 자유롭게 굽혀지도록 약 0.5 내지 100  $\mu\text{m}$ 이다. 전극 및 활성 소자(도시 생략)와 같은 회로가 구비되는 반도체 칩(1)의 표면 상에는 접착 수지층(6)이 구비된다. 접착 수지층(6)을 제공함으로써, 반도체 칩(1)은 플렉시블 회로 기판 상에 또는 전자 장치의 하우징에 형성된 회로에 용이하게 접속될 수 있다. 본 실시예에서, 접속부의 도전성의 신뢰성을 향상시키기 위해, 이방성 도전 재료를 포함하는 접착 수지층(6)이 사용된다. 반도체 칩(1)의 두께가 감소하기 때문에, 크랙 등을 방지하기 위해서는 보강용 부재(4)는 상기 회로가 형성된 표면에 대항한 반도체 칩(1)의 이면 상에 제공된다. 보강용 부재(4)는 반도체 칩(1)의 이면에 걸쳐 구비된 평평한 판이다. 반도체 칩(1)의 전극(도시 생략) 상에는 돌기 전극(3)이 구비된다.

도 1a에 도시된 반도체 패키지에서, 약 3 내지 5  $\mu\text{m}$  높이의 돌기 전극은 플렉시블 회로 기판 또는 반도체 칩(1)이 장착되는 하우징 상의 전극들과 반도체 칩(1)의 전극들 사이의 접속을 향상시키도록 반도체 칩(1)의 전극(도시 생략) 상에 구비된다. 그러나, 도 1b에서 도시된 것처럼, 돌기 전극이 없는 구조가 사용될 수 있다. 도 1b에서, 돌기 전극은 돌기 전극과 반도체 칩(1)의 전극(3a) 사이의 접속부를 개선시키기 위해 플렉시블 회로 기판 또는 반도체 칩(1)이 장착된 하우징 상에 구비될 수 있다.

도 2a 내지 도 2e는 도 1a에 도시된 반도체 패키지의 제조 공정을 설명하는 단면도이다.

도 2a에서, 반도체 장치의 통상의 제조 공정과 마찬가지로, 우선 웨이퍼(1a)가 준비된다. 웨이퍼(1a)의 표면 상에 능동 소자 및 전극 등의 회로를 형성하여 웨이퍼(1a) 상에 다중 반도체 칩(1)이 형성된다. 상기 회로가 형성된 웨이퍼(1a)의 표면 상에 자외선 경화형의 접착재층(도시하지 않음)을 포함하는 접착 시트(2)를 접착한다. 도 1(a)에 나타난 구조를 얻기 위하여, 웨이퍼(1a)의 표면에 형성된 전극 상에 돌기 전극(3)을 형성한다. 전해 도금 또는 무전해 도금에 의해 3 ~ 5  $\mu\text{m}$  정도의 높이의 니켈층 및 금층을 순차 형성하여 돌기 전극(3)을 형성한다. 이 때의 웨이퍼(1a)의 두께는 200 ~ 700  $\mu\text{m}$  정도이다.

다음에, 도 2b에 도시한 바와 같이, 웨이퍼(1a)의 이면을 연삭 장치를 이용하여 기계적으로 연마하여 두께를 얇게 한다. 기계적인 연삭으로, 조건에 따라 50 ~ 100  $\mu\text{m}$  정도의 두께까지 웨이퍼(1a)를 연삭할 수 있다. 그러나, 기계적인 연삭으로 웨이퍼(1a)의 두께를 더 얇게 하는 것은 웨이퍼(1a)를 파손할 수 있다. 따라서, 웨이퍼(1a)의 두께를 더 얇게 하기 위해서, 화학적인 에칭 또는 화학 기계 연마(CMP)와 같이 처리 동안 손상이 적은 방법을 이용하는 것이 바람직하다. 예를 들면, 종래의 300  $\mu\text{m}$  정도의 두께 이면 반도체 칩(1)의 두께를 10  $\mu\text{m}$  이하의 두께로 얇게 함으로써, 굽힘 강도는 200 ~ 300배 정도 향상된다. 따라서, 웨이퍼(1a)의 두께를 10 ~ 20  $\mu\text{m}$  정도 이하로 얇게 하는 것이 바람직하다. 그러나, 반도체 패키지가 사용되는 목적에 따라서 0.5 ~ 100  $\mu\text{m}$  정도의 범위 내에서 두께를 설정할 수 있다.

상술한 바와 같이, 웨이퍼(1a)의 연삭 또는 에칭에 의한 스크래치 또는 요철이 웨이퍼(1a)의 이면에 남아 있다. 도 2(c)에서, 후속 공정에서 실장 동안 또는 실장 후의 취급 동안에 반도체 패키지에서 크랙이나 칩핑(chipping) 등의 파손이 생기는 것을 막기 위해서, 웨이퍼(1a)의 이면에 보강용 부재(4)를 설치한다.

보강용 부재(4)는 액체 폴리이미드계 수지, 폴리실리콘 바니시 등으로 이루어진다. 예를 들면, 하타치

케미칼 주식회사의 상품명 PIX와 같은 폴리이미드계 수지, 6E 도시바 실리콘의 상품명 TSR-144와 같은 폴리실리콘 바니시를 이용할 수 있다. 이러한 액체 재료를 웨이퍼(1a)의 이면의 전면에 도포한다. 이후, 적절한 경화 조건으로 재료를 경화피막으로 경화시켜 보강용 부재(4)를 형성한다. 예를 들면, TSR-144는 상온에서 경화될 수 있는 폴리실리콘 바니시이다. 80 ~ 120 °C 정도에 가열한 오븐에서 가열 및 건조시켜 1 분 정도에 적절하게 경화된다. 바람직하게, 보강용 부재(4)의 두께는 굽힘 강도의 영향을 피하기 위하여 300  $\mu$ m 이하로, 반도체 칩(1)에서 크랙 등의 손상을 피하기 위하여 0.5  $\mu$ m 이상으로 한정된다.

도 2a에 도시된 바와 같이, 자외선을 조사하여 웨이퍼(1a)를 접착 시트(2)로부터 박리하고 보강용 부재(4)가 형성된 폭을 다이싱을 위한 새로운 접착 시트(5)에 접착한다. PIX와 같은 액체 폴리이미드계 수지를 보강용 부재(4)로 이용하는 경우에, 경화 온도가 350 °C 정도이기 때문에, 웨이퍼(1a)를 사전에 접착 시트(2)로부터 박리하고, PIX를 경화시키고, PIX의 경화가 종료된 후에, 다이싱을 위한 접착 시트(5)를 접착한다.

도 2e에서, 회로가 형성된 웨이퍼(1a)의 표면에 접착 수지층(6)을 형성하기 위하여, 이방성 도전 필름(Anisotropic Conductive Film(ACF))을 접착한다. ACF는 접착 수지에 분산된 도전성 입자를 포함한다. 도전성 입자는 금속 입자, 금속층을 덮은 합성 수지 입자 등이다. 도 2e에 도시한 바와 같이, 보호용의 시트(라미네이트 필름)(8)가 접착 수지층(6)의 한 면에 접착된다. ACF(6)가 웨이퍼(1a)의 전면에 제공되면, 웨이퍼(1a)의 스크라이브 라인이 보이지 않게 된다. 이러한 상태에서, 다이싱을 행하는 것이 어렵다. 따라서, 바람직하게는, 웨이퍼(1a)의 주변의 수 mm 정도(예를 들면, 3 mm)는 ACF(6)로 덮지 않는다. 따라서, 후속 공정에서 다이싱이 수행될 때, 다이싱 블레이드(7)와 스크라이브 라인이 쉽게 정렬될 수 있다.

다음에, 다이싱 블레이드(7)에 의해 회로가 형성된 면에서 웨이퍼(1a)를 절단하여 개개의 반도체 패키지로 분할한다. 따라서, 본 실시예의 반도체 패키지가 얻어진다.

도 3a 내지 3b는 본 실시예의 반도체 패키지를 플렉시블 회로 기판과 같은 기판에 실장하는 공정을 설명하기 위한 단면도이다.

도 3a에서, 보호용 라미네이트 필름(8)을 ACF(6)로부터 박리하고, 보강용 부재(4)를 본딩 돌(11)로 폭착시킨다. 도 3b에서, 플기 전극(3)과, 플렉시블 회로 기판(10) 상의 전극(기판 배선(9))을 위치 정렬하여, 양자를 접촉시키도록 가압하여 가열을 행한다.

본 발명에 따르면, 예를 들면 폴리이미드계 수지를 베이스 기판으로 한 플렉시블 회로 기판을 이용한 경우, 플렉시블 회로 기판의 변형에 따라 반도체 칩도 변형시킬 수 있다. 또한, 곡면 형상의 실장 기판 또는 전자 기기를 구성하는 하우징의 곡면에 정합한 형상의 본딩 돌을 이용함으로써, 곡면에 반도체 패키지를 실장하는 것이 가능하다.

(실시예 2)

도 4a 내지 도 4c는, 본 발명에 따른 반도체 패키지의 다른 실시예의 제조 공정을 설명하기 위한 단면도이다.

본 실시예에서의 반도체 패키지는, 도 1a에 나타난 반도체 패키지와 마찬가지로의 구성으로 되고 있고, 플렉시블 회로 기판 또는 전자 기기의 개체 상에 형성된 회로에 실장할 때에 유연하게 구부릴 수 있도록, 반도체 칩(1)이 대략 0.5 $\mu$ m 이상 100 $\mu$ m 이하의 두께로 형성되어 있다. 반도체 칩(1)의 전극(3) 및 능동 소자 등의 회로(도시하지 않음)가 형성된 표면에는, 접착 수지층(6)이 제공된다. 플렉시블 회로 기판 또는 전자 기기의 하우징에 형성된 회로와 반도체 패키지의 접촉을 쉽게 하기 위해서, 접착 수지층(6)이 설치되어 있다. 플렉시블 회로 기판 또는 전자 기기의 하우징에 형성된 회로와 반도체 패키지의 접촉 부에서의 도통의 신뢰성을 높이기 위해서, 이방성 도전을 포함하는 접착 수지층(6)이 이용되고 있다. 반도체 칩의 회로 형성면과 대향하는 이면에는, 반도체 칩(1)의 두께를 얇게 함으로써 크랙 등이 생기는 것을 막기 위해서, 평판상의 보강용 부재(4)가 이면 전체에 걸쳐 설치되어 있다. 또한, 반도체 칩(1)의 전극(도시하지 않음) 상에는 플기 전극(3)이 설치되어 있다. 또한, 도 1a에 나타난 반도체 패키지의 구성 외에, 본 실시예의 상기 접착 수지층(6) 및 보강용 부재(4)에는 전자기파 차폐 기능을 갖는 고형 물질이 혼입되어 있다.

도 4a 내지 도 4c는, 본 실시예의 반도체 패키지의 제조 공정에 대하여 설명하기 위한 단면도이다. 본 실시예에서는, 접착 수지층(6)을 형성하는 공정 이후에, 이면을 연마하여 반도체 칩을 얇게 하는 공정을 행한다.

우선, 도 4a에 도시한 바와 같이, 통상의 반도체 장치의 제조 공정과 마찬가지로, 다수의 반도체 칩을 얻기 위해서, 표면에 능동 소자 및 전극 등의 회로를 형성한 웨이퍼(1a)를 준비한다. 그 웨이퍼(1a)의 회로 형성면에 열 경화성의 접착 시트로서, ACF(6)를 접착한다. 이 ACF(6)의 한 면에는 오염 방지를 위해 라미네이트 필름(8)이 접착되고 있고, 그 라미네이트 필름(8)측을 자외선 경화형의 접착제층(도시하지 않음)을 갖는 접착 시트(12)에 접착한다. 본 실시예에서는, ACF(6)에, 전자기파 차폐 기능을 갖는 고형 물질로서, 3 $\mu$ m~5 $\mu$ m 직경의 페라이트 입자( $Fe_3O_4$ ) 입자를 30 wt%~60 wt% 혼입시키고 있다. 페라이트는 고저항이기 때문에, 반도체 패키지와 회로 기판과의 접속 불량에 결과될 수 있다고 생각되지만, 실제로는, ACF에 필러(filler)로서  $SiO_2$ 가 포함되어 있더라도 문제는 생기지 않고, 페라이트 입자에 대해서도 특히 문제는 생기지 않는다. 그 이유는, 반도체 칩과 회로 배선을 압접(pressure welding)을 행했을 때, 플기 전극과 기판 배선 간의 대부분의 필러가 토출되어 그 사이에 남아있지 않고, 소량의 필러와 페라이트 입자가 상기 플기 전극 또는 기판 배선으로 매립된다. 상기 플기 전극은 대부분의 경우 금으로 이루어져 있기 때문에,  $SiO_2$  혹은  $Fe_3O_4$ 와 같은 고형 입자는 상기 금속으로 매립되기 때문이다. 플기 용기에 대하여 니켈 및 구리와 같은 다른 재료가 사용되더라도, 니켈 혹은 금 플레이팅된 구리와 같은 물질이 기판 배선용으로 이용되고,  $SiO_2$  혹은  $Fe_3O_4$ 의 입자는 이들 재료보다 훨씬 더 단단하여 이들 재료로 여전히 매립된다. 따라서, 상기 플기 전극과 상기 회로 패턴 간의 접촉은 열화되지 않을 것이다.

제1 실시예와 유사하게, 웨이퍼(1a)의 이면을 연마 또는 에칭함으로써 웨이퍼의 두께를 줄이는 단계가 수행된다. 도4b에 도시된 바와 같이, 보강용 부재(4)가 웨이퍼(4a)의 이면상에 제공된다.

보강용 부재(4)는 예를 들어 TSR-144의 명칭으로 GE 도시바 실리콘으로부터 입수가능한 폴리실리콘 바니시를 포함한다. 이러한 액체 재료는 웨이퍼(1a)의 이면을 가로질러 도포된다. 다음에, 재료는 경화에 적합한 조건하에 보강용 부재(4)를 형성하도록 경화된 막으로 경화된다. 예를 들어, TSR-144는 상온에서 경화될 수 있는 폴리실리콘 바니시이다. 약 80 내지 120 °C로 가열된 오븐내에서 약 1분 동안 가열 및 건조하여 경화되는 것이 바람직하다. 열경화성 특성을 갖는 접착 수지 층(6)이 이러한 환경에서 경화될 경우, 보강용 부재(4)는 상온에서 경화된다. 본 실시예에서, 3 내지 5  $\mu\text{m}$ 의 적층을 가지는 페라이트(Fe-MnO<sub>2</sub>) 입자는 보강용 부재(4)를 형성하기 위해 전자기파 차폐 특성을 가지는 고형체 재료로서 60 내지 90%의 중량으로 폴리실리콘 바니시에 혼합된다.

도 4c에서, 웨이퍼(1a)는 웨이퍼(1a)의 이면, 즉 보강용 부재(4) 측면으로부터 다이싱 블레이드(7)에 의해 분리된 각 반도체 패키지로 절단된다. 따라서, 본 실시예의 반도체 패키지가 얻어진다.

본 실시예에서, ACF 및 폴리실리콘 바니시는 전자기파 차폐 특성을 가지는 고형체 재료로서 페라이트 입자층을 포함한다. 따라서, 반도체 칩의 외부로부터 반도체 칩(1)으로 그리고 반도체 칩(1)으로부터 반도체 칩의 외부로 전자기파 노이즈가 효율적으로 제거된다. 따라서, 노이즈는 반도체 칩(1)으로부터 외부 회로 기판으로 그리고 외부 회로로부터 반도체 칩(1)으로 보다 적게 방사될 것이다. 그 결과, 반도체 칩(1)의 기능 불량이 방지되고 반도체 칩(1)은 정규의 안정된 방식으로 작동한다.

도 5는 플렉시블 회로 기판 상에 장착되어 휘어지는 본 실시예의 반도체 패키지를 도시한 단면도이다.

도 5에 도시된 바와 같이, 본 실시예에 따르면, 반도체 칩(1)의 두께가 얇기 때문에, 반도체 칩(1)은 플렉시블 회로 기판의 변형에 따른도록 변형될 수 있다. 만족된 기판 또는 전자 장치를 형성하는 하우징의 만족된 표면에 있을 수 있는 접합 도구를 사용함으로써, 반도체 칩(1)은 만족된 표면의 형상에 따른도록 변형될 수 있다. 따라서, 만족된 표면에 반도체 칩을 장착할 수 있다.

본 실시예에서, 열경화성 접착 수지층(6)에 접착되는 적층 필름(8)은 접착 시트(12)에 접착된다. 그러나, 적층 필름으로도 역할하는 접착 시트(12)가 사용될 수 있다. 더욱이, 본 실시예에서, 반도체 칩(1)상에 제공되는 접착 수지층(6)과 반도체 칩(1)의 이면상에 제공되는 보강용 부재(4)는 전자기파 차폐 특성을 가지는 고형체 재료를 포함한다. 그러나, 고형체 재료는 이들 중 하나로 혼합될 수 있다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따르면, 반도체 칩의 두께를 약 0.5 내지 100  $\mu\text{m}$ 의 범위로 한정함으로써, 굽힘 응력에 저항하는 얇은 반도체 패키지가 얻어질 수 있다. 회로가 형성되는 표면에 대항하는 반도체 칩의 이면상에 보강용 부재를 제공함으로써, 크랙 등과 같은 반도체 칩의 손상이 방지될 수 있다. 회로가 형성되는 반도체 칩의 표면에 접착 수지층을 더 제공함으로써 플렉시블 회로 기판과 만족된 형상의 기판상에 용이하게 장착될 수 있는 반도체 패키지가 제공될 수 있다. 전자기파 차폐 특성을 가지는 고형체 재료를 접착 수지 층과 보강용 부재에 혼합함으로써, 전자기파 노이즈는 반도체 칩으로부터 외부 회로 기판으로 보다 적게 방사될 것이다. 그 결과, 반도체 칩의 기능 불량이 방지되고 반도체 칩은 정규의 안정된 방식으로 작동한다.

본 발명의 범위 및 사상에 벗어나지 않고 다양한 다른 수정이 당업자에게 명백할 것이며 그들에 의해 용이하게 이루어질 수 있다. 따라서, 첨부된 본 청구범위는 본 명세서의 기재에 한정되지 않으며, 오히려 넓게 해석될 수 있는 것으로 의도된 것이다.

#### (5) 청구의 범위

##### 청구항 1

표면상에 형성되는 회로들을 가지고 0.5 내지 100  $\mu\text{m}$ 의 두께를 가지는 반도체 칩과,

상기 회로가 제공되는 상기 반도체 칩의 표면을 덮기 위해 제공된 접착 수지층을 포함하는 것을 특징으로 하는 반도체 패키지.

##### 청구항 2

제1항에 있어서,

상기 회로가 제공되는 표면에 대항하는 반도체 칩의 이면상에 보강용 부재가 제공되는 것을 특징으로 하는 반도체 패키지.

##### 청구항 3

제2항에 있어서,

상기 접착 수지층은 이방성 도전 재료를 포함하는 것을 특징으로 하는 반도체 패키지.

##### 청구항 4

제2항에 있어서,

상기 보강용 부재는 폴리이미드 수지 또는 폴리실리콘 바니시(polysilicone varnish)를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 5**

제3항에 있어서,

상기 보강용 부재는 폴리이미드 수지 또는 폴리실리콘 바니시를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 6**

제1항에 있어서,

상기 회로가 형성되는 반도체의 표면에 형성된 전극층상에 노출된 전극층이 형성되는 것을 특징으로 하는 반도체 패키지.

**청구항 7**

제1항에 있어서,

상기 접착 수지층과 상기 보강용 부재 중의 적어도 하나는 전자기파 차폐 특성을 가지는 고형체 재료를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 8**

제7항에 있어서,

전자기파 차폐 특성을 가지는 상기 고형체 재료는 페라이트를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 9**

반도체 패키지를 제조하는 방법에 있어서,

정면상에 형성되는 복수의 반도체 칩들과 회로들을 가지는 웨이퍼의 이면을 연마하여 0.5 내지 100  $\mu\text{m}$ 의 두께를 가지게 하는 단계와,

상기 웨이퍼의 이면에 보강용 부재를 형성하는 단계와,

상기 웨이퍼의 표면에 접착 수지층을 형성하는 단계와,

상기 웨이퍼를 반도체 패키지로 분리하도록 상기 웨이퍼를 절단하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 10**

반도체 패키지를 제조하는 방법에 있어서,

정면상에 형성되는 복수의 반도체 칩들과 회로들을 가지는 웨이퍼의 표면에 접착 수지층을 형성하는 단계와,

상기 웨이퍼의 이면을 연마하여 0.5 내지 100  $\mu\text{m}$ 의 두께를 가지게 하는 단계와,

상기 웨이퍼의 이면에 보강용 부재를 형성하는 단계와,

웨이퍼를 반도체 패키지로 분리하도록 상기 웨이퍼를 절단하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 11**

제9항에 있어서,

상기 접착 수지층으로 이방성 도전 재료가 사용되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 12**

제10항에 있어서,

상기 접착 수지층으로 이방성 도전 재료가 사용되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 13**

제9항에 있어서,

상기 접착 수지층을 형성하는 단계는 상기 웨이퍼의 외주부의 스크라이브 라인을 노출시키기 위해 상기 웨이퍼의 외주부를 덮지 않도록 상기 접착 수지층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 14**

제10항에 있어서,

상기 접착 수지층을 형성하는 단계는 상기 웨이퍼의 외주부의 스크라이브 라인을 노출시키기 위해 상기 웨이퍼의 외주부를 덮지 않도록 상기 접착 수지층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

# 청구항 15

제 11항에 있어서,

상기 접착 수지층을 형성하는 단계는 상기 웨이퍼의 외주부의 스크라이브 라인을 노출시키기 위해 상기 웨이퍼의 외주부를 덮지 않도록 상기 접착 수지층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

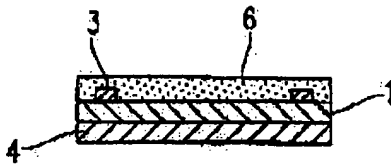
# 청구항 16

제 12항에 있어서,

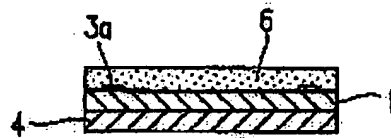
상기 접착 수지층을 형성하는 단계는 상기 웨이퍼의 외주부의 스크라이브 라인을 노출시키기 위해 상기 웨이퍼의 외주부를 덮지 않도록 상기 접착 수지층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

## 도면

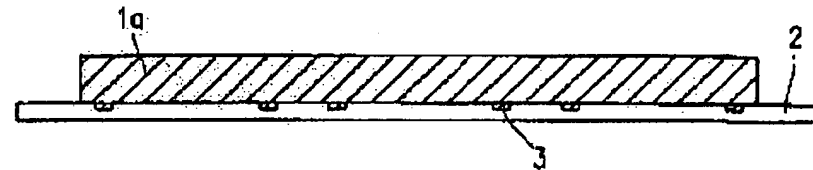
도면 1a



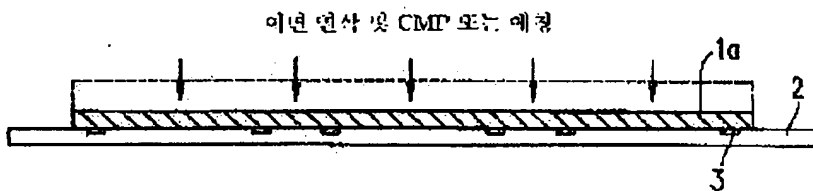
도면 1b



도면 2a

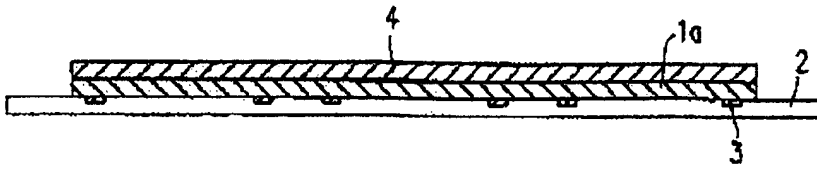


도면 2b

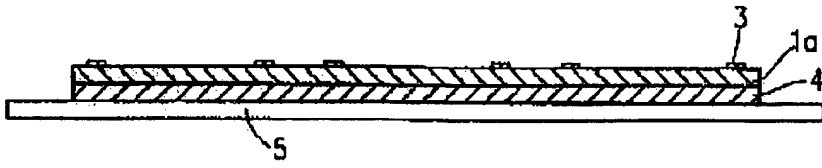




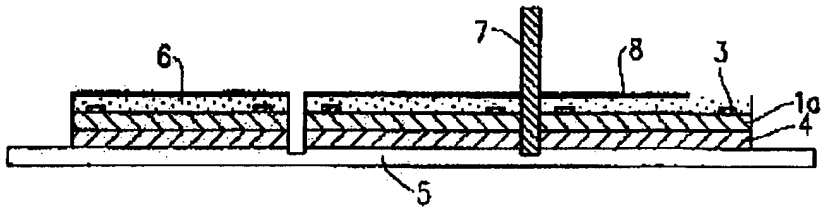
도 2a



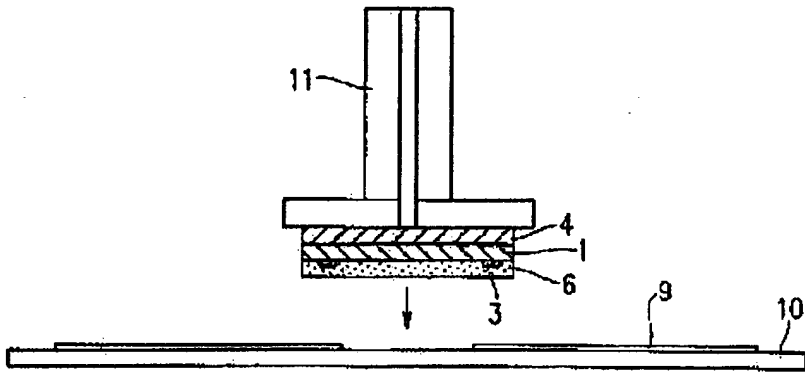
도 2b



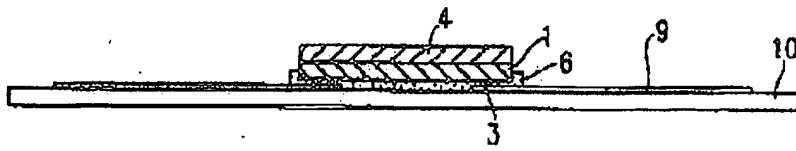
도 2c



도 3a

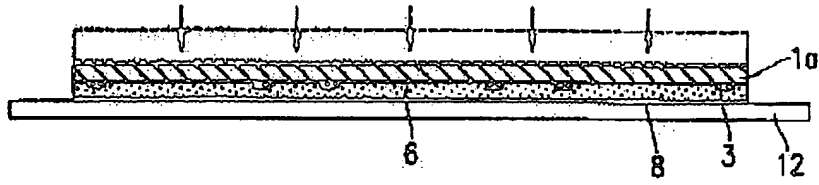


도 3b

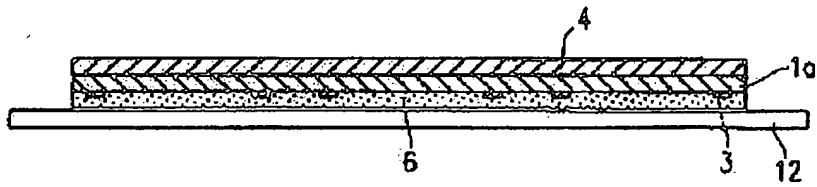


도 4a

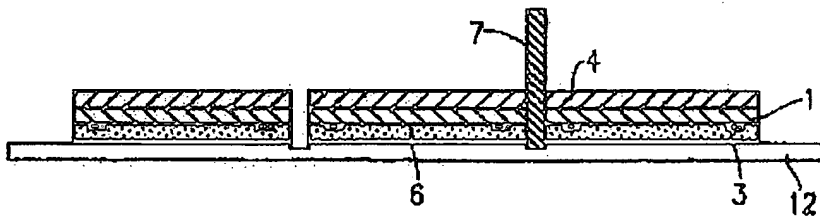
이전 연삭 및 CMP 또는 에칭



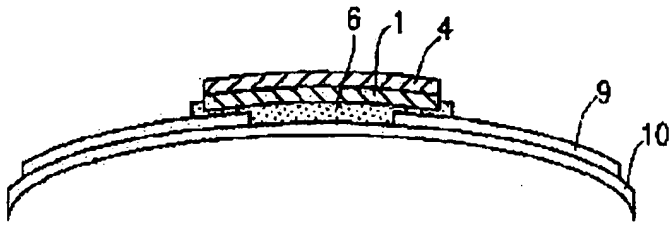
도 4b



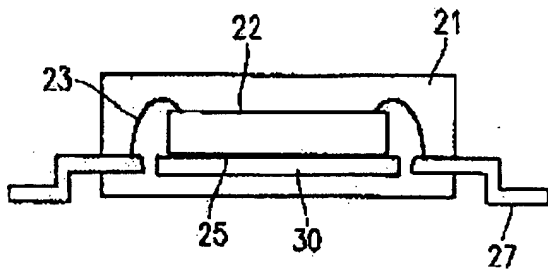
도 4c



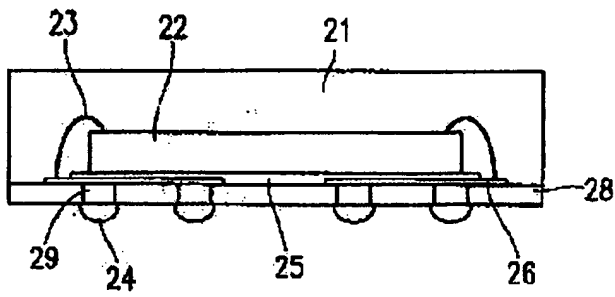
도 5



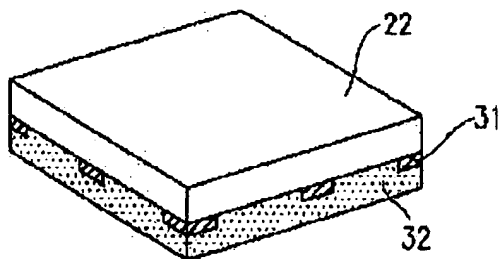
도 8a



도 8b



도 8c



11-11

This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.